

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161157

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30 3 3 0 Z

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平8-337564

(22) 出願日 平成 8 年(1996) 12月 3 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 内野 勝秀

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72) 発明者 阿部 文明

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72) 発明者 中山 佳子

東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

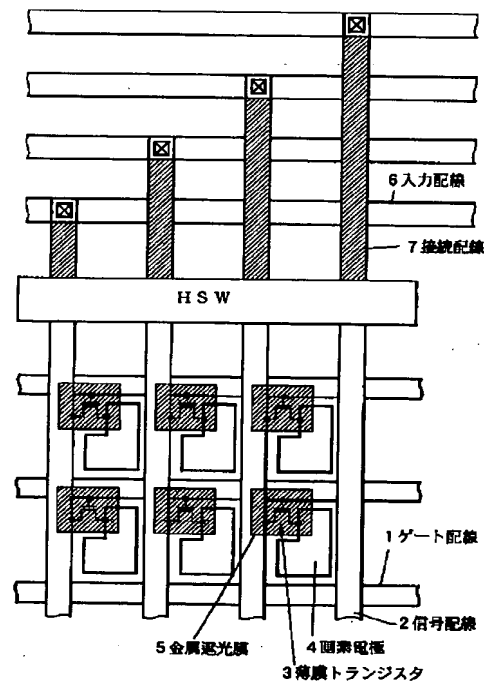
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示用半導体装置

(57) 【要約】

【課題】 表示用半導体装置において画像信号を入力する為のビデオラインを低抵抗化し周波数特性の改善を図る。

【解決手段】 表示用半導体装置は行状に配列したゲート配線 1 と、列状に配列した信号配線 2 と、両配線 1, 2 の交差部に各々形成された薄膜トランジスタ 3 と各薄膜トランジスタ 3 に接続した画素電極 4 と各薄膜トランジスタ 3 を外光から遮閉するようにパタニング形成された金属遮光膜 5 とを備えている。又、行状に並列され画像信号を入力する複数本の入力配線 6 とこれを信号配線 2 に結線する接続配線 7 とを備えている。接続配線 7 は列状に配列しており、行状に並列した複数本の入力配線 6 に交差している。この接続配線 7 は金属遮光膜 5 と同一層でパタニング形成されており、低抵抗化が可能になるとともに、成膜プロセスの追加を必要としない。



## 【特許請求の範囲】

【請求項1】 行状に配列したゲート配線と、列状に配列した信号配線と、両配線の交差部に各々形成された薄膜トランジスタと、各薄膜トランジスタに接続した画素電極と、各薄膜トランジスタを外光から遮閉するようにバタニング形成された金属遮光膜と、行状に並列され画像信号を入力する複数本の入力配線と、該入力配線と該信号配線を互いに結線する接続配線とを備えた表示用半導体装置であって、前記接続配線は列状に配列しており該行状に並列した複数本の入力配線に交差するとともに、該金属遮光膜と同一層でバタニング形成されていることを特徴とする表示用半導体装置。

【請求項2】 前記信号配線及び入力配線は比較的低抵抗の金属材料からなり、前記ゲート配線は比較的高抵抗の導体材料からなり、前記接続配線は該ゲート配線より抵抗が低く且つ該信号配線とは異なる金属材料を用いることを特徴とする請求項1記載の表示用半導体装置。

【請求項3】 行状に配列したゲート配線、列状に配列した信号配線、両配線の交差部に各々形成された薄膜トランジスタ、各薄膜トランジスタに接続した画素電極、各薄膜トランジスタを外光から遮閉するようにバタニング形成された金属遮光膜、行状に並列され画像信号を入力する複数本の入力配線、及び該入力配線と該信号配線を互いに結線する接続配線を備えた一方の基板と、少くとも対向電極を備え所定の間隙を介して該一方の基板に接合した他方の基板と、該間隙に保持された電気光学物質とからなる表示装置であって、前記接続配線は列状に配列しており該行状に並列した複数本の入力配線に交差するとともに、該金属遮光膜と同一層でバタニング形成されていることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型の液晶ディスプレイ等に用いられる表示用半導体装置に関する。詳しくは、複数画素同時サンプリング方式を採用した表示用半導体装置に於ける配線の低抵抗化技術に関する。

## 【0002】

【従来の技術】図5を参照して従来の表示用半導体装置を簡潔に説明する。図示するように、表示用半導体装置は行状のゲート配線X1、X2、X3、X3、…と、列状の信号配線Y0、Y1、Y2、Y3、Y4、…とを備えており、両者の交差部に画素0、1、2、3、4、…が設けられている。各画素は対応する薄膜トランジスタによりスイッチング駆動される。薄膜トランジスタのゲート電極は対応するゲート配線Xに接続され、ソース電極は対応する信号配線Yに接続され、ドレイン電極は対

応する画素に接続されている。この表示用半導体装置は例えば6本の入力配線（ビデオライン）100を備えており、外部のデコーダ／ドライバから供給される合計6個の画像信号sig1, sig2, …, sig6を夫々受け入れる。個々の信号配線Yは6本を一単位（例えば、Y1～Y6）として水平スイッチHSWを介して所定の入力配線100に接続されている。以上の構成に加え、表示用半導体装置は垂直走査回路101と水平走査回路102を内蔵している。垂直走査回路101は外部のタイミングジェネレータから供給される垂直クロック信号VCK等に応答して動作し、選択パルスV1, V2, V3, V4を出力しゲート配線Xを1本ずつ順次走査して画素を行毎に選択する。一方、水平走査回路102は同じくタイミングジェネレータから供給される水平クロック信号HCK等に応答して動作し、順次駆動パルスDP0, DP1, DP2, DP3, …を出力し対応する水平スイッチHSW0, HSW1, HSW2, HSW3, …を開閉制御して、6本の信号配線Yを一単位として纏め駆動する。即ち、6系統の画像信号sig1, …, sig6を夫々対応する信号配線Y（例えば、Y1～Y6）に一斉にサンプリングする。尚、水平スイッチHSWを介して各入力配線100を信号配線Yに結線する為、接続配線103が各水平スイッチHSW毎に設けられている。図示するように、この接続配線103は入力配線100と交差している。

【0003】かかる複数画素同時サンプリング駆動を行なう際、6系統の画像信号sig1～sig6に予め画素ピッチに対応する遅延量を相対的に与える為、サンプルホールド回路がデコーダ／ドライバに設けられている。

6系統の画像信号を逐次サンプルホールドして画素ピッチに対応する遅延量を相対的に与えるとともに、水平スイッチHSWを6本の信号配線Yの組を単位として同時に開閉制御することにより、この水平スイッチHSWを駆動する水平走査回路102に含まれるシフトレジスタの段数を削減して構成を簡単にするとともに、消費電力も削減して、良好な画像表示が得られるようにしている。各水平スイッチHSWはシフトレジスタから出力される駆動パルスDPで開閉制御される構成になっているので、水平走査回路102のシフトレジスタの段数は1/6になる。又、タイミングジェネレータから供給される水平クロック信号HCKの周波数も1/6になる。尚、複数画素同時サンプリング駆動を行なう時、一単位として纏められる信号配線Yの本数はこの従来例のように6本に限られるものではない。例えば、パーソナルコンピュータのモニターに用いられるアクティブマトリクス型の液晶ディスプレイでは、XGA規格のように高精細化された場合には12本の信号配線を一単位として同時サンプリング駆動を行なうこともできる。或いは、カラー液晶ディスプレイでは6本ではなく18本を一単位として同時サンプリング駆動を行なうことも可能であ

10

20

30

40

50

る。

#### 【0004】

【発明が解決しようとする課題】図4はビデオライン周りの配線パターンを模式的に表わしたものである。図示するように、複数本の入力配線100は接続配線103を介して負荷（容量Cで表わされている）に結線されている。入力配線100は行状に配列し、接続配線103は列状に配列している。この結果、両者は互いに交差することになる。この為、同一層に属する導体膜を両配線100、103に用いることはできない。一般に、入力配線100は比較的低抵抗（RL）のアルミニウム等で形成されている。一方、接続配線103は比較的高抵抗

（RH）の多結晶シリコン等で形成されている。不純物を多量に拡散した多結晶シリコンは低抵抗化されているにも係わらず、その抵抗値はアルミニウムに比べ、三桁ほど高い。この為、負荷容量Cに至るビデオラインが全体的に高抵抗化し、ビデオラインの周波数特性が悪化するという課題がある。入力配線100と接続配線103の直列接続からなるビデオラインの時定数は $(RL + RH) \cdot C$ で与えられるが、接続配線103の抵抗値RHが比較的高い為、ビデオラインの時定数が大きくなってしまい、周波数特性の悪化に繋がる。

#### 【0005】

【課題を解決するための手段】上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明にかかる表示用半導体装置は基本的な構成として、行状に配列したゲート配線と、列状に配列した信号配線と、両配線の交差部に各々形成された薄膜トランジスタと、各薄膜トランジスタに接続した画素電極と、各薄膜トランジスタを外光から遮閉するようにパタニング形成された金属遮光膜と、行状に並列され画像信号を入力する複数本の入力配線と、該入力配線と該信号配線を互いに結線する接続配線とを備えている。前記接続配線は列状に配列しており該行状に並列した複数本の入力配線に交差している。特徴事項として、前記接続配線は該金属遮光膜と同一層でパタニング形成されている。具体的には、前記信号配線及び入力配線は比較的低抵抗の金属材料（例えばアルミニウム）からなり、前記ゲート配線は比較的高抵抗の導体材料（例えば不純物多結晶シリコン）からなり、前記接続配線は該ゲート配線より抵抗が低く且つ該信号配線とは異なる金属材料（例えばチタン）を用いる。尚、かかる構成を有する表示用半導体装置はアクティブマトリクス型の液晶表示装置等に応用できる。

【0006】従来、入力配線と信号配線を互いに結線する為の接続配線を形成する際、特に入力配線と交差する部分では例えば高濃度不純物多結晶シリコンを配線材料として用いなければならず、ビデオラインの周波数特性を悪化させていた。この点に鑑み、本発明では薄膜トランジスタの外光遮閉用として必須な金属遮光膜と同一層で接続配線を形成することにより、ビデオラインの低抵

抗化を図り周波数特性の悪化を防いでいる。このように、金属遮光膜を接続配線として利用することにより、追加の成膜工程を何ら要することなくビデオラインの低抵抗化が可能になる。例えば、金属遮光膜としてはチタンが用いられる。このチタンはシート抵抗が $3\Omega/\square$ 程度であり、不純物を高濃度に拡散して低抵抗化した多結晶シリコンのシート抵抗（ $30\Omega/\square$ 程度）より一桁低い。この為、ビデオラインの時定数も一桁短くなる。

#### 【0007】

10 【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は、本発明にかかる表示用半導体装置の一実施形態を示す模式的な平面図である。図示するように、本表示用半導体装置は行状に配列したゲート配線1と、列状に配列した信号配線2とを備えている。両配線1、2の交差部には薄膜トランジスタ3と画素電極4と金属遮光膜5とが形成されている。薄膜トランジスタ3のゲート電極は対応するゲート配線1に接続し、ソース電極は対応する信号配線2に接続し、ドレイン電極は対応する画素電極4に接続している。又、金属遮光膜5は薄膜トランジスタ3を外光から遮閉するようにパタニング形成されており、光電流リーク等を抑制する。表示用半導体装置を例えばプロジェクタに組み込む場合等、薄膜トランジスタ3の光電流リークを抑制する為金属遮光膜5は必須の構成要素である。本表示用半導体装置は更に入力配線6と接続配線7を備えている。入力配線6は行状に配され外部から供給された画像信号を入力する。又、接続配線7は入力配線6と信号配線2を互いに結線する為に設けられている。本実施形態では、図5に示した従来例と同様複数画素同時サンプリング方式を採用しており、各信号配線2は水平スイッチHSWを介して対応する接続配線7に結線されている。図から明らかなように、接続配線7は列状に配列しており、行状に配列した複数本の入力配線6に交差している。本発明の特徴事項として、接続配線7は金属遮光膜5と同一層でパタニング形成されている。具体的には、信号配線2及び入力配線6は比較的低抵抗の金属材料（例えばアルミニウム）からなる。ゲート配線1は比較的高抵抗の導体材料（例えば高濃度多結晶シリコン）からなる。この多結晶シリコンのシート抵抗はアルミニウムに比べ三桁ほど高い。これに対し、接続配線7はゲート配線1より抵抗が低く且つ信号配線2及び入力配線6とは異なる金属材料（例えばチタン）を用いている。このチタンは金属遮光膜5を構成するものである。チタンのシート抵抗は高濃度不純物多結晶シリコンより一桁低く、アルミニウムよりは二桁ほど高い。

40 【0008】入力配線6のボタン幅は例えば $50\mu\text{m}$ 程度である。これを例えば12本並列した場合、全体の幅は $600\mu\text{m}$ を超える。従って、接続配線7のうち最も長いものは寸法が $600\mu\text{m}$ を超える為、この部分の低抵抗化は極めて重要である。この点に鑑み、本発明では

ゲート配線1を構成する低抵抗化多結晶シリコンより抵抗値の低い金属遮光膜5を用いて接続配線7を形成している。接続配線7を低抵抗化できる為、従来よりその線幅を縮小することもできる。この場合、接続配線7と入力配線6のオーバーラップ面積が縮小化でき、その分寄生容量の低減化が可能である。

【0009】図2は、図1に示した表示用半導体装置の具体的な構成例を示す模式的な部分断面図であり、特に薄膜トランジスタ周りの構成を表わしている。図示するように、薄膜トランジスタ3はガラス等からなる絶縁基板0の上に形成されている。薄膜トランジスタ3は多結晶シリコン等からなる半導体薄膜8とゲート絶縁膜9とゲート電極1aを下から順に重ねたトップゲート構造を有する。ゲート電極1aは図1に示したゲート配線1に接続している。かかる構成を有する薄膜トランジスタ3はPSG等からなる第1層間絶縁膜10により被覆されている。第1層間絶縁膜10の上にはアルミニウム等からなる信号配線2がパタニング形成されており、コンタクトホールを介して薄膜トランジスタ3のソース領域Sに電気接続している。又、他の金属配線2aも同時にパタニング形成されており、コンタクトホールを介して薄膜トランジスタ3のドレイン領域Dに接続している。信号配線2及び他の配線2aはPSG等からなる第2層間絶縁膜11により被覆されている。更に、その上にはP-SiN等からなる絶縁膜12が成膜されている。その上にはチタン等からなる金属遮光膜5がパタニング形成されている。この金属遮光膜5は薄膜トランジスタ3を外光から遮閉して光電流リーク等を抑制する。同じくチタン等で中間電極5aも形成されている。この中間電極5aはコンタクトホールを介して下層の金属配線2aと面接触している。これらの金属遮光膜5及び中間電極5aはアクリル樹脂等からなる平坦化膜13により被覆されている。その上にはITO等の透明導電膜からなる画素電極4がパタニング形成されている。この画素電極4は平坦化膜13に開口したコンタクトホールを介して中間電極5aに接触し、薄膜トランジスタ3のドレイン領域Dに電気接続する。かかる構成を有する表示用半導体装置を用いてアクティブマトリクス型の表示装置を組み立てる場合には、ガラス等からなる別の絶縁基板14を所定の間隙を介して絶縁基板0に接合する。絶縁基板14の内表面には予め対向電極15が形成されている。両絶縁基板0、14の間隙に液晶等からなる電気光学物質16を封入するとアクティブマトリクス型の液晶表示装置が完成する。

【0010】最後に図3は、図2に示した表示用半導体

装置のパタン形状を表わす部分平面図である。図示するように、互いに直交するゲート配線1及び信号配線2の交差部には薄膜トランジスタ3が形成されている。薄膜トランジスタ3の素子領域を構成する半導体薄膜8にはゲート絶縁膜を介してゲート電極1aが重ねられている。このゲート電極1aは例えば不純物を高濃度で注入した多結晶シリコンからなり、ゲート配線1から延設されている。薄膜トランジスタ3のソース領域Sはコンタクトホールを介して信号配線2に接続し、ドレイン領域Dは同じくコンタクトホールを介して画素電極4に電気接続している。前述したように、画素電極4とドレイン領域Dの間には中間電極5aが介在している。かかる構成を有する薄膜トランジスタ3は金属遮光膜5により覆われている。尚、図示しないが、この金属遮光膜5をパタニング形成する際、同時に図1に示した接続配線7も形成する。

#### 【0011】

【発明の効果】以上説明したように、本発明によれば、行状に配列したゲート配線と、列状に配列した信号配線と、行状に配列され画像信号を入力する複数本の入力配線と該入力配線と信号配線を互いに接続する接続配線とを備えた表示用半導体装置において、接続配線は列状に配列しており行状に並列した複数本の入力配線に交差するとともに、薄膜トランジスタを外光から遮閉する金属遮光膜と同一層でパタニング形成されている。このように、表示用半導体装置に接続配線を形成する際、金属遮光膜と同一層の導体材料を用いている為、従来よりもビデオラインを低抵抗化することが可能になり、その周波数特性を改善することができた。

#### 【図面の簡単な説明】

【図1】本発明にかかる表示用半導体装置の実施形態を示す模式的な平面図である。

【図2】図1に示した表示用半導体装置の具体的な構成例を示す部分断面図である。

【図3】同じく図1に示した表示用半導体装置の具体的な構成例を示す模式的な部分平面図である。

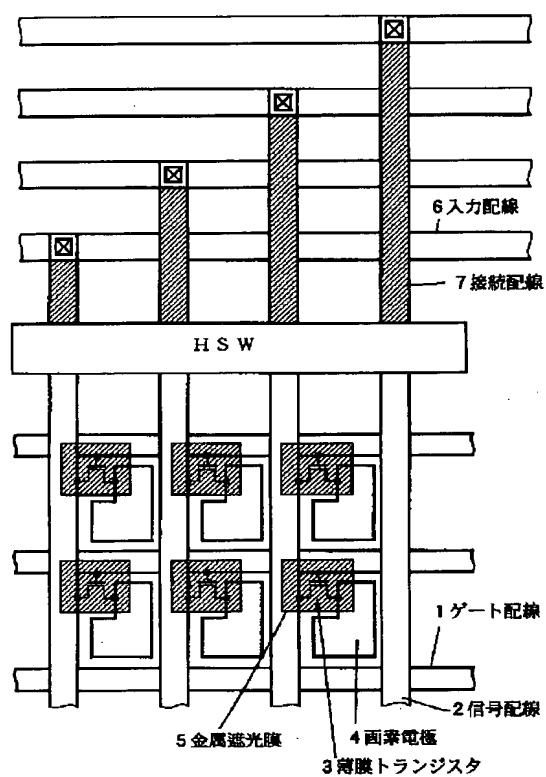
【図4】従来の表示用半導体装置の課題説明に供する模式図である。

【図5】従来の表示用半導体装置の一例を示す回路図である。

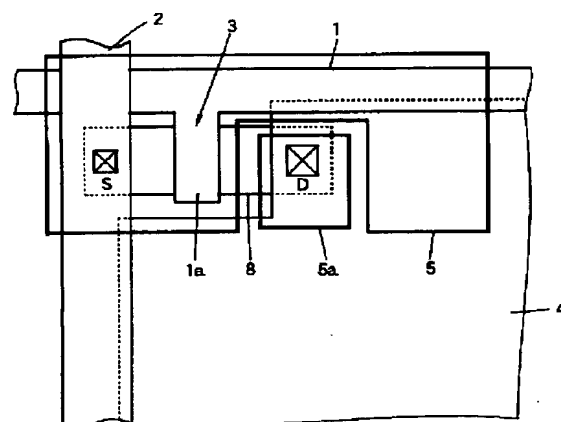
#### 【符号の説明】

0…絶縁基板、1…ゲート配線、2…信号配線、3…薄膜トランジスタ、4…画素電極、5…金属遮光膜、6…入力配線、7…接続配線、8…半導体薄膜、14…絶縁基板、15…対向電極、16…電気光学物質

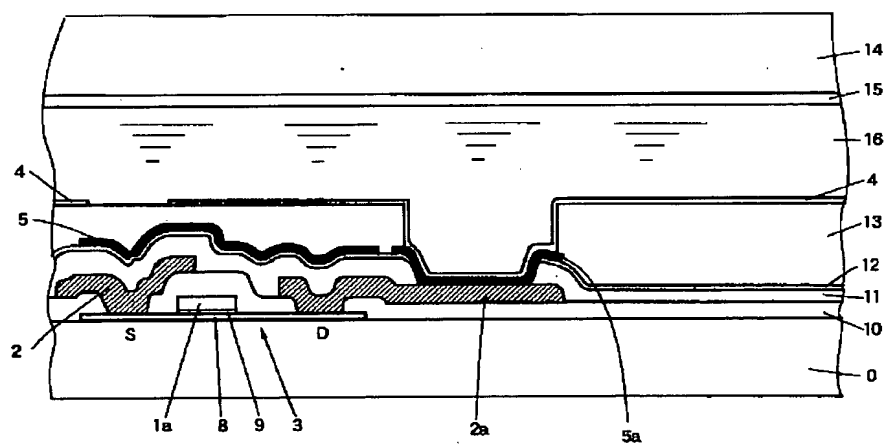
【図1】



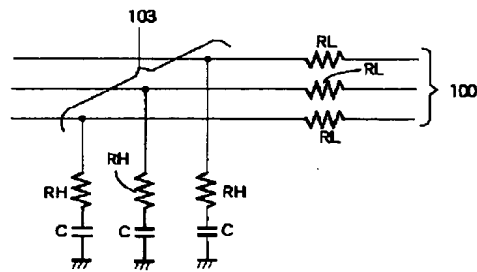
【図3】



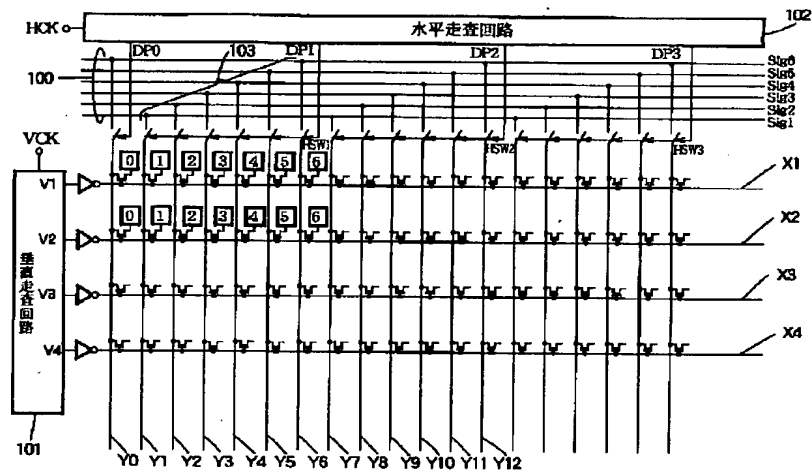
【図2】



【図4】



【図5】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161157

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G02F 1/136

G09F 9/30

(21)Application number : 08-337564

(71)Applicant : SONY CORP

(22)Date of filing : 03.12.1996

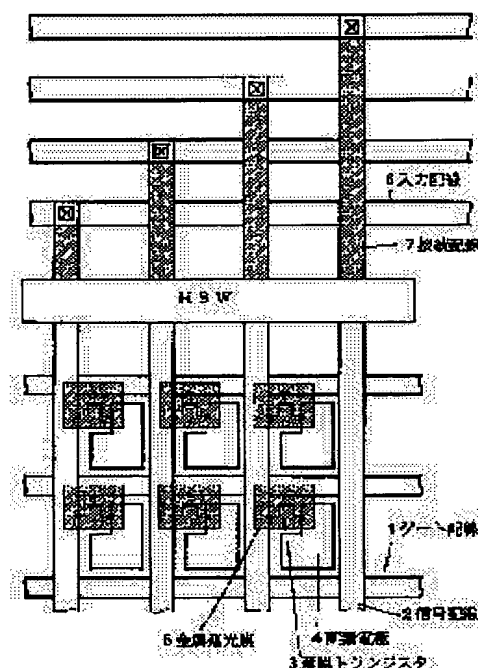
(72)Inventor : UCHINO KATSUhide  
ABE FUMIAKI  
NAKAYAMA YOSHIKO

## (54) SEMICONDUCTOR DEVICE FOR DISPLAY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve frequency characteristics by lowering the resistance of video lines for inputting image signals of a semiconductor device for display.

**SOLUTION:** This semiconductor device for display has gate wirings 1 arrayed in a row form, signal wirings 2 arrayed in a column form, thin-film transistors(TFTs) 3 respectively formed at the intersected parts of both wirings 1, 2, pixel electrodes 4 connected to the respective TFTs 3 and metallic light shielding films 5 pattern-formed to shield the respective TFTs 3 from external light. The device has also plural pieces of input wirings 6 which are arranged in juxtaposition to the row form and input the image signals and connection wirings 7 which connect these wirings 6 to the signal wirings 2. These connection wirings 7 are arrayed in the column form and are intersected with plural pieces of input wirings 6 arranged in juxtaposition to the row form. The connection wirings 7 are pattern-formed of the same layers as the layers of the metallic light shielding films 5. The lowering of the resistance is made possible and the need for addition of film forming processes is eliminated.



## LEGAL STATUS

[Date of request for examination]

12.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Gate wiring arranged to behavior. Signal wiring arranged to the seriate. TFT respectively formed in the intersection of both wiring. The pixel electrode linked to each TFT. Connection wiring which connects mutually the metal shading film by which patterning formation was carried out so that each TFT might be shielded from outdoor daylight, the input wiring of two or more which is arranged in parallel by behavior and inputs a picture signal, and this input wiring and this signal wiring. It is the semiconductor device for a display equipped with the above, and while intersecting the input wiring of two or more which had arranged the aforementioned connection wiring to the seriate and was arranged in parallel in this behavior, it is characterized by carrying out patterning formation in the same layer as this metal shading film.

[Claim 2] The aforementioned connection wiring is a semiconductor device for a display according to claim 1 with which the aforementioned signal wiring and input wiring consist of a metallic material of comparatively low resistance, the aforementioned gate wiring consists of conductor material of comparatively high resistance, resistance is lower than this gate wiring, and this signal wiring is characterized by using a different metallic material.

[Claim 3] Had in while the input wiring of two or more which is arranged in parallel by the TFT respectively formed in the intersection of the gate wiring arranged to behavior, the signal wiring arranged to the seriate, and both wiring, the pixel electrode linked to each TFT, the metal shading film by which patterning formation was carried out so that each TFT might be shielded from outdoor daylight, and behavior, and inputs a picture signal, and the connection wiring which connects this input wiring and this signal wiring mutually, and it is a substrate. The substrate of another side which was equipped with the counterelectrode at least and joined to one [ this ] substrate through the predetermined gap. The electrooptic material held in this gap. It is the display equipped with the above, and while intersecting the input wiring of two or more which had arranged the aforementioned connection wiring to the seriate and was arranged in parallel in this behavior, it is characterized by carrying out patterning formation in the same layer as this metal shading film.

---

[Translation done.]

\* NOTICES \*

~~Japan Patent Office is not responsible for any damages caused by the use of this translation.~~

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device for a display used for an active-matrix type liquid crystal display etc. In detail, it is related with the low resistance-ized technology of the wiring in the semiconductor device for a display which adopted two or more pixel simultaneous sampling method.

[0002]

[Description of the Prior Art] With reference to drawing 5, the conventional semiconductor device for a display is explained briefly. The semiconductor device for a display is equipped with the signal wiring Y0, Y1, Y2, Y3, and Y4 of a seriate, and — with the gate wiring X1, X2, X3, and X3 of behavior, and —, and pixels 0, 1, 2, 3, and 4 and — are prepared in both intersection so that it may illustrate. The switching drive of each pixel is carried out by corresponding TFT. The gate electrode of TFT is connected to the corresponding gate wiring X, a source electrode is connected to the corresponding signal wiring Y, and the drain electrode is connected to the corresponding pixel. It has the input wiring (video line) 100 of six, and this semiconductor device for a display accepts a total of six picture signals sig1, sig2, —, sig6 supplied from external decoder/driver, respectively. As for each signal wiring Y, six are connected to the predetermined input wiring 100 through the level switch HSW as one unit (for example, Y1-Y6). In addition to the above composition, the semiconductor device for a display contains the vertical-scanning circuit 101 and the horizontal scanning circuit 102. The vertical-scanning circuit 101 answers the perpendicular clock signal VCK supplied from an external timing generator, operates, outputs the selection pulses V1, V2, V3, and V4, scans the one gate wiring X at a time sequentially, and chooses a pixel for every line. The level clock signal HCK to which the horizontal scanning circuit 102 is similarly supplied from a timing generator on the other hand is answered, it operates, and opening-and-closing control of the level switches HSW0, HSW1, HSW2, and HSW3 which output driving pulses DP0, DP1, DP2, and DP3 and — one by one, and correspond, and — is carried out, and six signal wiring Y is summarized as one unit, and is driven. That is, six picture signals sig1, —, sig6 are sampled all at once to the signal wiring (for example, Y1-Y6) Y which corresponds, respectively. In addition, in order to connect each input wiring 100 to signal wiring Y through the level switch HSW, the connection wiring 103 is formed for every level switch HSW. This connection wiring 103 intersects the input wiring 100 so that it may illustrate.

[0003] In case this two or more pixel simultaneous sampling drive is performed, in order to give the amount of delay corresponding to a pixel pitch beforehand to six picture signals sig1-sig6 relatively, the sample hold circuit is formed in the decoder/driver. While cutting down the number of stages of the shift register contained in the horizontal scanning circuit 102 which drives this level switch HSW by carrying out opening-and-closing control of the group of six signal wiring Y for the level switch HSW simultaneously as a unit while carrying out sample hold of the six picture signals serially and giving relatively the amount of delay corresponding to a pixel pitch and simplifying composition, power consumption is also cut down and good image display is made to be obtained. Since each level switch HSW has composition by which opening-and-closing control is carried out by driving pulse DP outputted from a shift register, the number of stages of

the shift register of the horizontal scanning circuit 102 is set to one sixth. Moreover, the frequency of the level clock signal HCK supplied from a timing generator is also set to one sixth. In addition, when performing two or more pixel simultaneous sampling drive, the number of the signal wiring Y summarized as one unit is not restricted to six like this conventional example. For example, in the active-matrix type liquid crystal display used for the monitor of a personal computer, when it turns with high definition like XGA specification, a simultaneous sampling drive can also be performed for 12 signal wiring as one unit. Or it is also possible to perform a simultaneous sampling drive as one unit not for six but for 18 on an electrochromatic display display.

[0004]

[Problem(s) to be Solved by the Invention] Drawing 4 expresses the circuit pattern of the circumference of a video line typically. The input wiring 100 of two or more is connected by the load (expressed with capacity C) through the connection wiring 103 so that it may illustrate. The input wiring 100 was arranged to behavior and has arranged the connection wiring 103 to the seriate. Consequently, both will cross mutually. the conductor which belongs to the same layer for this reason — a film cannot be used for both wiring 100,103 Generally, the input wiring 100 is comparatively formed with the aluminum of low resistance (RL) etc. On the other hand, the connection wiring 103 is comparatively formed with the polycrystal silicon of high resistance (RH) etc. In spite of forming into low resistance the polycrystal silicon which diffused the impurity so much, the resistance is as high as a three whole digit compared with aluminum. For this reason, on the whole, the video line which results in load-carrying capacity C forms high resistance, and the technical problem that the frequency characteristic of a video line gets worse occurs. Although the time constant of a video line which consists of a series connection of the input wiring 100 and the connection wiring 103 is given by  $-(RL+RH) C$ , since the resistance RH of the connection wiring 103 is comparatively high, the time constant of a video line becomes large and it leads to aggravation of the frequency characteristic.

[0005]

[Means for Solving the Problem] The following meanses were provided in order to solve the technical problem of a Prior art mentioned above. Namely, the gate wiring arranged to behavior as composition with the fundamental semiconductor device for a display concerning this invention, The signal wiring arranged to the seriate, and the TFT respectively formed in the intersection of both wiring. It has the pixel electrode linked to each TFT, the metal shading film by which patterning formation was carried out so that each TFT might be shielded from outdoor daylight, the input wiring of two or more which is arranged in parallel by behavior and inputs a picture signal, and this input wiring and the connection wiring which connects this signal wiring mutually. The aforementioned connection wiring intersects the input wiring of two or more which had arranged to the seriate and was arranged in parallel in this behavior. As a feature matter, patterning formation of the aforementioned connection wiring is carried out in the same layer as this metal shading film. Specifically, the aforementioned signal wiring and input wiring consist of a metallic material (for example, aluminum) of comparatively low resistance, the aforementioned gate wiring consists of conductor material (for example, impurity polycrystal silicon) of comparatively high resistance, and the aforementioned connection wiring uses a metallic material (for example, titanium) which resistance is lower than this gate wiring, and is different from this signal wiring. In addition, the semiconductor device for a display which has this composition is applicable to an active-matrix type liquid crystal display etc.

[0006] In case the connection wiring for connecting input wiring and signal wiring mutually conventionally was formed, in the portion which intersects especially input wiring, for example, high concentration impurity polycrystal silicon had to be used as a wiring material, and the frequency characteristic of a video line was worsened. In view of this point, by forming connection wiring in the same layer as a metal shading film indispensable as an object for outdoor daylight shielding of TFT, low resistance-ization of a video line was attained and aggravation of the frequency characteristic is prevented by this invention. Thus, low resistance-ization of a video line is attained by using a metal shading film as connection wiring, without requiring an additional membrane formation process in any way. For example, titanium is used as

a metal shading film. This titanium is a 1-figure low from sheet resistance (30ohms / \*\* grade) the polycrystal silicon which sheet resistance is 3ohms / \*\* grade, and diffused and formed the impurity into low resistance to high concentration. For this reason, 1 figure also of time constants of a video line also becomes short.

[0007]

[Embodiments of the Invention] With reference to a drawing, an operation form with a best this invention is explained in detail below. Drawing 1 is the typical plan showing 1 operation form of the semiconductor device for a display concerning this invention. The semiconductor device for this display is equipped with the gate wiring 1 arranged to behavior, and the signal wiring 2 arranged to the seriate so that it may illustrate. TFT 3, the pixel electrode 4, and the metal shading film 5 are formed in the intersection of both wiring 1 and 2. The gate electrode of TFT 3 was connected to the corresponding gate wiring 1, the source electrode was connected to the corresponding signal wiring 2, and the drain electrode is connected to the corresponding pixel electrode 4. Moreover, patterning formation is carried out so that TFT 3 may be shielded from outdoor daylight, and the metal shading film 5 suppresses photocurrent leak etc. When including in a projector, in order to suppress photocurrent leak of TFT 3 for the semiconductor device for a display, the metal shading film 5 is an indispensable component. The semiconductor device for this display is further equipped with the input wiring 6 and the connection wiring 7. The input wiring 6 inputs the picture signal which was allotted to behavior and supplied from the outside. Moreover, the connection wiring 7 is formed in order to connect the input wiring 6 and signal wiring 2 mutually. With this operation form, two or more pixel simultaneous sampling method is adopted like the conventional example shown in drawing 5, and each signal wiring 2 is connected by the connection wiring 7 which corresponds through the level switch HSW. The connection wiring 7 intersects the input wiring 6 of two or more which had arranged to the seriate and was arranged to behavior so that clearly from drawing. As a feature matter of this invention, patterning formation of the connection wiring 7 is carried out in the same layer as the metal shading film 5. Specifically, signal wiring 2 and the input wiring 6 consist of a metallic material (for example, aluminum) of comparatively low resistance. The gate wiring 1 consists of conductor material (for example, high concentration polycrystal silicon) of comparatively high resistance. Sheet resistance of this polycrystal silicon is as high as a three whole digit compared with aluminum. On the other hand, resistance is lower than the gate wiring 1, and the connection wiring 7 is \*\*\*\*\* using a different metallic material (for example, titanium) in signal wiring 2 and the input wiring 6. This titanium constitutes the metal shading film 5. Sheet resistance of titanium is lower than high concentration impurity polycrystal silicon 1 figure, and higher than aluminum about 2 figures.

[0008] The pattern width of face of the input wiring 6 is about 50 micrometers. When 12 of these are arranged in parallel, for example, the whole width of face exceeds 600 micrometers. Therefore, among the connection wiring 7, in order that, as for the longest thing, a size may exceed 600 micrometers, the reduction in resistance of this portion is very important. In view of this point, the connection wiring 7 is formed using the low metal shading film 5 of resistance from the low resistance-ized polycrystal silicon which constitutes the gate wiring 1 from this invention. Since-izing of the connection wiring 7 can be carried out [ low \*\*\*\* ], the line breadth is also reducible conventionally. In this case, -izing of the overlap area of the connection wiring 7 and the input wiring 6 can be carried out [ \*\*\*\* ], and reduction-izing of the part parasitic capacitance is possible.

[0009] Drawing 2 is the typical fragmentary sectional view showing the concrete example of composition of the semiconductor device for a display shown in drawing 1, and expresses especially the composition of the circumference of TFT. TFT 3 is formed on the insulating substrate 0 which consists of glass etc. so that it may illustrate. TFT 3 has the top gate structure where the semiconductor thin film 8 and the gate insulator layer 9 which consist of polycrystal silicon etc., and gate electrode 1a were piled up in order of the lower shell. Gate electrode 1a is connected to the gate wiring 1 shown in drawing 1. TFT 3 which has this composition is covered with the insulator layer 10 while [ the 1st layer ] consisting of a PSG etc. On the insulator layer 10, patterning formation of the signal wiring 2 which consists of aluminum

etc. is carried out between the 1st layer, and electrical connection is carried out to the source field S of TFT 3 through the contact hole. Moreover, patterning formation is carried out simultaneously and other metal wiring 2a is connected to the drain field D of TFT 3 through a contact hole. Signal wiring 2 and other wiring 2a are covered with the insulator layer 11 while [ the 2nd layer ] consisting of a PSG etc. Furthermore, on it, the insulator layer 12 which consists of P-SiN etc. is formed. Patterning formation of the metal shading film 5 which consists of titanium etc. on it is carried out. This metal shading film 5 shields TFT 3 from outdoor daylight, and suppresses photocurrent leak etc. Similarly bipolar-electrode 5a is formed by titanium etc. This bipolar-electrode 5a is carrying out field contact with lower layer metal wiring 2a through the contact hole. These metal shading films 5 and bipolar-electrode 5a are covered with the flattening film 13 which consists of acrylic resin etc. Patterning formation of the pixel electrode 4 which consists of transparent electric conduction films, such as ITO, on it is carried out. This pixel electrode 4 contacts bipolar-electrode 5a through the contact hole which carried out opening to the flattening film 13, and carries out electrical connection to the drain field D of TFT 3. In assembling active-matrix type display using the semiconductor device for a display which has this composition, it joins another insulating substrate 14 which consists of glass etc. to an insulating substrate 0 through a predetermined gap. The counterelectrode 15 is beforehand formed in the internal surface of an insulating substrate 14. If the electrooptic material 16 which consists of liquid crystal etc. is enclosed with the gap of both the insulating substrates 0 and 14, an active-matrix type liquid crystal display will be completed.

[0010] Finally drawing 3 is a part plan showing the pattern configuration of the semiconductor device for a display shown in drawing 2. TFT 3 is formed in the intersection of the gate wiring 1 which intersects perpendicularly mutually, and signal wiring 2 so that it may illustrate. Gate electrode 1a has put on the semiconductor thin film 8 which constitutes the element field of TFT 3 through the gate insulator layer. This gate electrode 1a consists of polycrystal silicon which poured in the impurity by high concentration, and is installed from the gate wiring 1. It connects with signal wiring 2 through a contact hole, and, similarly the source field S of TFT 3 is carrying out electrical connection of the drain field D to the pixel electrode 4 through the contact hole. As mentioned above, bipolar-electrode 5a intervenes between the pixel electrode 4 and the drain field D. TFT 3 which has this composition is covered with the metal shading film 5. In addition, although not illustrated, in case patterning formation of this metal shading film 5 is carried out, the connection wiring 7 simultaneously shown in drawing 1 is also formed.

[0011]

[Effect of the Invention] The gate wiring which was arranged to behavior according to this invention as explained above, In the semiconductor device for a display equipped with the connection wiring which connects mutually the signal wiring arranged to the seriate, the input wiring of two or more and this input wiring which are arranged by behavior and input a picture signal, and signal wiring While connection wiring intersects the input wiring of two or more which had arranged to the seriate and was arranged in parallel in behavior, patterning formation of it is carried out in the same layer as the metal shading film which shields TFT from outdoor daylight. Thus, since the conductor material of the same layer as a metal shading film is used in case connection wiring is formed in the semiconductor device for a display, it was able to become possible to form a video line into low resistance conventionally, and the frequency characteristic has been improved.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the typical plan showing the operation gestalt of the semiconductor device for a display concerning this invention.

[Drawing 2] It is the fragmentary sectional view showing the concrete example of composition of the semiconductor device for a display shown in drawing 1.

[Drawing 3] It is the typical part plan showing the concrete example of composition of the semiconductor device for a display similarly shown in drawing 1.

[Drawing 4] It is the \*\* type view with which technical-problem explanation of the conventional semiconductor device for a display is presented.

[Drawing 5] It is the circuit diagram showing an example of the conventional semiconductor device for a display.

[Description of Notations]

0 [ — Signal wiring, 3 / — TFT, 4 / — A pixel electrode, 5 / — A metal shading film 6 / — Input wiring, 7 / — Connection wiring, 8 / — A semiconductor thin film, 14 / — An insulating substrate, 15 / — A counterelectrode, 16 / — Electrooptic material ] — An insulating substrate, 1 — Gate wiring, 2

---

[Translation done.]